

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-007942

(43)Date of publication of application : 08.01.2004

(51)Int.Cl.

H02H 7/18

H02H 3/08

H02H 3/20

H02J 7/00

(21)Application number : 2002-347212

(71)Applicant : DIALOG SEMICONDUCTOR GMBH

(22)Date of filing : 29.11.2002

(72)Inventor : PANNWITZ AXEL

(30)Priority

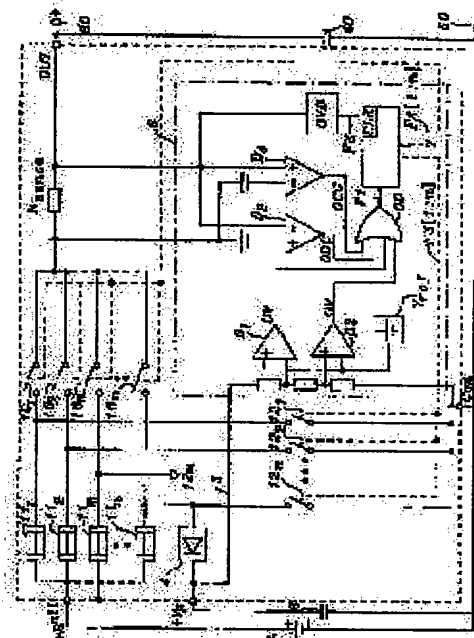
Priority number : 2001 10158494 Priority date : 29.11.2001 Priority country : DE

(54) CHARGING/DISCHARGING PROTECTIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a protective circuit in which all circuit elements can be mounted in one chip.

SOLUTION: If a control logic (6) instantaneously closes all load current switches (10[1:n]) in the case of an overvoltage, first number of the load current switches are then sequentially opened, switch segments (12[1:(m-1)]) of a short-circuit switch array relating to each load current switch are simultaneously closed, fusible links (11[1:(m-1)]) relating to previous one are sequentially fused, and the first number of the load current switches are opened, then again closed, the residual number (10[m:n]) which is still closed of the load current switches are simultaneously opened, and subsequently the residual switch segments (12[n:m]) are sequentially closed.



LEGAL STATUS

[Date of request for examination]

21.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-7942
(P2004-7942A)

(43) 公開日 平成16年1月8日(2004.1.8)

| | | |
|---------------------------|-----------|-------------|
| (51) Int.Cl. ⁷ | F I | テーマコード (参考) |
| H02H 7/18 | H02H 7/18 | 5G003 |
| H02H 3/08 | H02H 3/08 | 5G004 |
| H02H 3/20 | H02H 3/20 | 5G053 |
| H02J 7/00 | H02J 7/00 | S |

審査請求 未請求 請求項の数 8 O L 外国語出願 (全 34 頁)

| | | | |
|--------------|------------------------------|----------|--|
| (21) 出願番号 | 特願2002-347212 (P2002-347212) | (71) 出願人 | 502281138 ディアロック・セミコンダクター・ゲーエムベーハー ドイツ連邦共和国デー-73230 キル フハイム/テッカーナベルン, ノイエ・シ ュトラーセ 95 |
| (22) 出願日 | 平成14年11月29日 (2002.11.29) | (74) 代理人 | 100089705 弁理士 社本 一夫 |
| (31) 優先権主張番号 | 10158494.6 | (74) 代理人 | 100076691 弁理士 増井 忠武 |
| (32) 優先日 | 平成13年11月29日 (2001.11.29) | (74) 代理人 | 100075270 弁理士 小林 泰 |
| (33) 優先権主張国 | ドイツ (DE) | (74) 代理人 | 100080137 弁理士 千葉 昭男 |

最終頁に続く

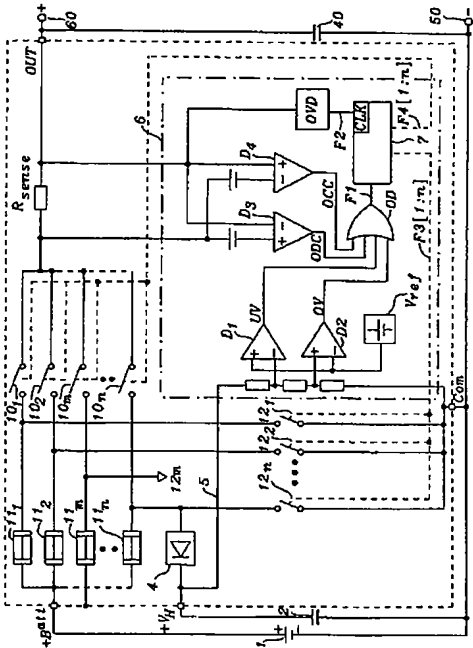
(54) 【発明の名称】 充電／放電保護回路

(57) 【要約】 (修正有)

【課題】 すべての回路要素が1つのチップ上に取り付けることが出来る保護回路を提供する。

【解決手段】 過電圧の場合に制御論理(6)が全ての負荷電流スイッチ(10[1:n])を瞬時に閉じるならば、次に逐次に第1の数の負荷電流スイッチを開き、そして同時に各負荷電流スイッチに関連する短絡回路スイッチ・アレイのスイッチ・セグメント(12[1:(m-1)])を閉じ、そこで以前に関連する可融性リンク(11[1:(m-1)])を順次溶融させ、この第1の数の負荷電流スイッチは、開いた後、再び閉じ、同時に、残りの数(10[m:n])のまだ閉じている負荷電流スイッチが開くと共に、引き続き残りのスイッチ・セグメント(12[n:m])を順次閉じる。

【選択図】 図1



【特許請求の範囲】

【請求項1】

バッテリー端子(+Batt、Com)の電圧、保護回路の充電／放電端子(50、60)の電圧、および充電電流または放電電流の大きさに応じてn個の並列負荷電流スイッチ(10[1:n])を開閉する少なくとも1つの再充電可能な電池(1)を備えるバッテリー用の充電／放電保護回路であって、制御論理(6)は、過電圧検出器(OVD)を備え、過電圧の場合に、一体化されたバッテリー側並列結合可融性リンク(11[1:n])を制御しながら順次溶融させることによってバッテリー(1)を充電／放電端子(50、60)から切断し、各バッテリー側並列結合可融性リンク(11[1:n])は、関連する負荷電流スイッチ(10[1:n])に直結され、かつ短絡スイッチ・アレイの関連する制御可能なスイッチ・セグメント(12[1:n])を介して反対の極を持つバッテリー接続部(Com)に結合されている充電／放電保護回路において、

制御回路(6)は、過電圧の場合に、すべての負荷電流スイッチ(10[1:n])を同時に閉じ、その後、第1の数(10[1:(m-1)])の負荷電流スイッチを順次開き、同時に、それぞれの負荷電流スイッチに関連する短絡スイッチ・アレイのスイッチ・セグメント(12[1:(m-1)])を閉じ、したがって、関連する可融性リンク(11[1:(m-1)])を順次溶融させ、この第1の数(10[1:(m-1)])の負荷電流スイッチは、開いた後、再び閉じ、同時に、残りの数(10[m:n])のまだ閉じている負荷電流スイッチが開くと共に、引き続き残りのスイッチ・セグメント(12[n:m])を順次閉じ、したがって、バッテリーが完全に切断されるまで、保護回路を過電圧から保護する低抵抗経路が常に、保護回路の充電／放電端子(50、60)間に存在することを特徴とする保護回路。

【請求項2】

前記制御論理の、少なくとも、スイッチ・セグメント(12)に対する制御信号(F3)を生成する回路要素は、補助電圧源、特に充電されたバッファ・コンデンサ(2)からこれらの要素の供給電圧(+V_H)を受け取ることを特徴とする、請求項1に記載の保護回路。

【請求項3】

前記補助電圧源は、半導体スイッチを介してバッテリー電圧まで充電されるバッファ・コンデンサ(2)を備えており、半導体スイッチ(4)は、バッテリー電圧が所定の値よりも低くなるか、または過電圧の場合に、過電圧検出器(OVD)が制御信号を生成したときに開くことを特徴とする、請求項2に記載の保護回路。

【請求項4】

前記補助電圧源は、充電ポンプを介して制御論理(6)の最大許容動作電圧まで充電されるバッファ・コンデンサ(2)であることを特徴とする、請求項2に記載の保護回路。

【請求項5】

前記過電圧検出器(OVD)は、充電／放電端子(50、60)の電圧を入力電圧として受け取ることを特徴とする、請求項1から4のいずれかに記載の保護回路。

【請求項6】

前記過電圧検出器(OVD)は、過電圧の場合に第2の安定状態に切り換わる双安定フリップフロップ回路(26)を備えていることを特徴とする、請求項1から5のいずれか一項に記載の保護回路。

【請求項7】

前記過電圧検出器(OVD)の後に、クロック生成回路(CLK)を有するデジタル・スイッチング回路(7)が設けられており、過電圧検出器(OVD)は、過電圧の場合に、クロック生成回路(CLK)をイネーブルする信号(F2)を生成し、デジタル・スイッチング回路は、制御すべきスイッチ(10、12)の数に対応するいくつかの連続するD型フリップフロップ(DFF[1:n])を備えており、D型フリップフロップ(DFF[1:n])は、クロック信号を介して、順次その第2の安定状態に切り換えられ、次いで、D型フリップフロップの出力(Q)は逐次、一方では短絡スイッチ・アレイのスイッ

10

20

30

40

50

チ・セグメント（１２〔１：ｎ〕）に対する制御信号（Ｆ３〔１：ｎ〕）を供給し、他方では論理回路網素子（２０から２３）を介して負荷電流スイッチ（１０〔１：ｎ〕）に対する制御信号（Ｆ４〔１：ｎ〕）を供給することを特徴とする、請求項１から６のいずれか一項に記載の保護回路。

【請求項８】

コンデンサを除いて、すべての回路要素が１つのチップ上に集積されていることを特徴とする、請求項１から７のいずれか一項に記載の保護回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、バッテリーの端子の電圧、保護回路の充電／放電端子の電圧、および充電電流または放電電流の大きさに応じてｎ個の並列負荷電流スイッチを開閉する制御論理を有する少なくとも１つの再充電可能な電池を備える再充電可能なバッテリー用の充電／放電保護回路に関する。

【０００２】

【従来の技術】

制御論理は、過電圧の場合に、一体化されたバッテリー側並列結合可融性リンクを制御しながら順次溶融させることによってバッテリーを充電／放電端子から切断する過電圧検出器を備えている。各バッテリー側並列結合可融性リンクは、直列接続された関連する負荷電流スイッチおよび短絡スイッチ・アレイの関連する制御可能なスイッチ・セグメントを介して反対の極を持つバッテリー接続部に結合することができる。

【０００３】

このような回路は、本明細書と共に明示的に引用されるドイツ特許ＤＥ－Ａ－１０１３７８７５．０号から既知であるとみなされている。特に、この回路は、単一のリチウム・イオン電池と携帯電話の電子機器との間に配置することができる。この回路は、バッテリー、すなわち各電池を危険な過電流から保護し、最悪ケースで必要とされるよりもずっと低い電気強度で、したがって好ましいコストで製造することができる。過電圧が起こった場合、可融性リンクは個々に次々に破壊される。それによってバッテリーは過電圧から永久的に切断される。保護回路の破壊は故意に受け入れられる。保護回路が、最後のヒューズが溶融しないうちに過電圧によって破壊されることのないように、保護回路は、過電圧の場合に、過電圧が短絡によって解消するように電圧検出器によってその導電状態に切り換えられる半導体スイッチを充電／放電端子に並列に備えている。このため、半導体スイッチは、高電流保持能力を有さなければならないので、チップ上のかなり広い面積を必要とし、したがって、そのコストを増大させる。

【０００４】

【発明が解決しようとする課題】

本発明の目的は、上述の種類の保護回路と同じ保護を実現しつつ、面積がより小さく、したがってより経済的なチップ上に取り付けることのできる、上述の種類の保護回路を作製することである。

【０００５】

【課題を解決するための手段】

この目的は、制御回路が、過電圧の場合に、すべての負荷電流スイッチを同時に閉じ、その後、第１の数の負荷電流スイッチを順次開き、同時に、それぞれの負荷電流スイッチに関連する短絡スイッチ・アレイのスイッチ・セグメントを閉じ、したがって、関連する可融性リンクを順次溶融させることにより、本発明によって解決される。この第１の数の負荷電流スイッチは、開いた後、再び閉じ、同時に、残りの数のまだ閉じている負荷電流スイッチが開くと共に、引き続き残りのスイッチ・セグメントを順次閉じ、したがって、バッテリーが完全に切断されるまで、保護回路を過電圧から保護する低抵抗経路が常に、保護回路の充電／放電端子間に存在する。

【０００６】

10

20

30

40

50

したがって、この低抵抗経路においては、最初、すべての閉じている負荷電流スイッチおよびバッテリーを介した経路を辿り、次いで、再び閉じられた第1の数の負荷電流スイッチおよびすでに閉じている短絡スイッチを介した経路を辿る。切断プロセスはミリ秒単位内（最高で1秒以内）で完了するのでバッテリーを流れる最初の電流によって危険な過負荷が生じることない（放電も生じない）。

【0007】

したがって、本発明の中心的な概念は、すでに存在している並列に配置された負荷電流スイッチを利用することにより、認識された過電圧を低抵抗電流経路を通り低減させることからなる。これによって、保護回路は、最後のヒューズが破壊されたときにバッテリーが最終的に切断されるまで機能する。したがって、冒頭の回路とは異なり、過電圧の場合、最初にすべての負荷電流スイッチが閉じ、その後、ヒューズが順次溶融するので、十分な数の負荷電流スイッチが常に閉じたままになり、したがって、過電圧は最初、バッテリーを介して低抵抗短絡を有し、その後短絡スイッチ・アレイのすでに閉じているスイッチ・セグメントを介して低抵抗短絡を有する。

【0008】

制御論理の、少なくとも、スイッチ・セグメントに対する制御信号を生成する回路要素が、補助電圧源、特に充電されたバッファ・コンデンサからこれらの要素の供給電圧を受け取るのが適切である（請求項2）。これによって、保護回路の機能は、生成された低抵抗短絡経路によって外部過電圧が解消したときでも、逆に、外部過電圧が非常に高く、制御論理の、保護回路の通常の機能に用いられる他の部分が破壊されたときでも保護される。

【0009】

この実施態様の他の特徴は、補助電圧源を形成するバッファ・コンデンサを半導体を介してバッテリー電圧まで充電することからなる。半導体は、そうする際に、バッテリー電圧が所定の値よりも低くなるか、または過電圧の場合に、過電圧検出器が制御信号を生成したときに開く（請求項3）。

【0010】

あるいは、補助電圧源は、充電ポンプを介して制御論理の最大許容動作電圧まで充電されるバッファ・コンデンサを備えてよい（請求項4）。

過電圧検出器は、充電／放電端子の電圧を入力電圧として受け取るのが適切である（請求項5）。これにより、外部過電圧が対応するバッテリー充電電流を介してバッテリーにおいても過電圧を発生させたときになって初めて外部過電圧が認識される、従来技術による提案の欠点が解消される。

【0011】

過電圧検出器は特に、過電圧の場合に第2の安定状態に切り換わる双安定フリップフロップ回路を備えてよく（請求項6）、したがって、過電圧が短い時間のみ印加された場合でも、低抵抗短絡を引き起こす制御信号のシーケンスがトリガされる。

【0012】

好ましい実施態様では、過電圧検出器の後にクロック生成回路およびデジタル・スイッチング回路が設けられており、それによって、過電圧検出器は、過電圧の場合に、クロック生成回路をイネーブルする信号を生成する。デジタル・スイッチング回路は、制御すべきスイッチの数に対応するいくつかの連続するD型フリップフロップを備えている。したがって、D型フリップフロップは、クロック信号を介して、順次その第2の安定状態に切り換えられる。次いで、D型フリップフロップの出力は逐次、一方では短絡スイッチ・アレイのスイッチ・セグメントに対する制御信号を供給し、他方では論理回路網素子を介して負荷電流スイッチに対する制御信号を供給する（請求項7）。このような機能を実行する論理回路網をどのようにして実現すべきかは当業者に既知である。

【0013】

コンデンサを除いて、すべての回路要素が1つのチップ上に集積されることが好ましい（請求項8）。

【0014】

10

20

30

40

【発明の実施の形態】

図1に示されている保護回路は、リチウムイオン（ $Li-Ion$ ）電池1の端子と、陰しい勾配の電圧上昇から保護するためのフィルタ・コンデンサ40が並列接続された2つの充電／放電端子50および60との間に集積回路として位置している。保護回路は、外部接続部 Com 、 $+Batt$ 、および Out 、ならびに $+V_H$ を有している。 $+V_H$ は、バッファ・コンデンサ2を介して基準電位 Com に接続されている。バッファ・コンデンサ2は通常、半導体スイッチ4（ダイオードとして示されている）を介してバッテリー電圧まで充電される。この供給電圧が降下した場合、半導体スイッチ4が開き、バッファ・コンデンサ2は、集積回路の必須部分のための時間の間、ライン5を介して電力を供給する。半導体スイッチ4の代わりに充電ポンプ回路を設けてもよく、充電ポンプ回路は、集積回路技術において定められているように、バッファ・コンデンサ2を所定の最高ゲート電圧まで充電する。

10

【0015】

Out と $+Batt$ との間に、各々が負荷電流スイッチ 10_1 、 10_2 、...、 10_n および一体化された可融性リンク 11_1 、 11_2 、...、 11_n を備える複数の並列結合直列回路を備える回路構成に直列に、電流検知抵抗器 R_{sense} が配置されている。負荷電流スイッチ 10_x と可融性リンク 11_x との間の各接続ノードは、それ自体の短絡スイッチ 12_1 、 12_2 、...、 12_n を介して基準電位 Com に接続されている。これらの短絡スイッチの群全体を以下では短絡スイッチ・アレイと呼び、個々のスイッチをスイッチ・セグメントと呼ぶ。

20

【0016】

一点鎖線のブロック6内に簡略化されて図示されている制御論理はリチウムイオン（ $Li-Ion$ ）電池1の電圧が所定の許容範囲外である場合に、一般的に知られている手段により差分増幅器D1およびD2を通してバッテリー不足電圧信号 UV およびバッテリー過電圧信号 OV を生成する。制御論理は、 R_{sense} の両端間の電圧降下から、差分増幅器D3およびD4により、最大充電電流または最大放電電流に達したときにそれぞれ出力信号 OCD 、 OCC をさらに生成する。差分増幅器D1からD4の出力信号 UV 、 OV 、 OCC 、および OCD は、後述の例のそれぞれにおいて、図3を参照して詳しく説明するデジタル・スイッチング回路7にエラー信号F1を供給する、ORゲートODに結合される。

30

【0017】

端子 Out の電位は、D3およびD4の対応する入力に存在するだけでなく、過電圧の場合に、やはりデジタル・スイッチング回路7に供給されるエラー信号F2を生成する、過電圧検出器OVDの入力にも存在する。

【0018】

過電圧検出器OVDの実施形態は図2に示されている。外部接続の符号は図1の符号に対応している。 Out と Com との間に、第1のトリガ素子21および抵抗器22と、第2のトリガ素子23および第2の抵抗器24とを備える直列回路が配置されている。トリガ素子21、23は、逆並列配線されたツェナー・ダイオードと逆電流ダイオードの直列接続部として記号でのみ示されている。所定の電圧限界を正または負の方向に超えると、対応するトリガ素子が導電し、それと共に、それぞれの後続のMOSトランジスタT1またはT2が導電し、それによって、それぞれ後続のシュミット・トリガST1、ST2が「0」すなわち「L」にセットされる。シュミット・トリガの出力は、出力がD型フリップフロップ26のクロック入力に接続されているインバータIを介してNANDゲート25の入力に結合されている。D型フリップフロップ26のD入力は通常、「1」すなわち「H」である。したがって、フリップフロップ26の出力Qは、クロック入力において、ORゲート25からインパルスが到着したときに「H」になる。したがって、過電圧検出器は双安定フリップフロップと同様に動作する。出力レベル「1」すなわち「H」は、同じ名前の端子でのエラー信号F2を表す。

40

【0019】

50

図3は、図1の短絡スイッチ・アレイのスイッチ・セグメント 12_1 から 12_n に対する順次制御信号 $F3[1:n]$ および図1の負荷電流スイッチ 10_1 から 10_n に対する制御信号 $F4[1:n]$ をエラー信号 $F1$ および $F2$ から生成する、図1のデジタル・スイッチング回路7の実施形態である。負荷電流スイッチは、この例では、PMOS技術で実現され、したがって、その制御信号がレベル「1」であるときに開き、その制御信号がレベル「0」であるときに閉じて導電状態になる。

【0020】

エラー信号 $F1$ を供給する接続部 $F1$ は、ANDゲート $20(1)$ から $20(m)$ の第1の入力に結合されている。ANDゲートの第2の入力は、OVDが過電圧を検出しないかぎり、したがって、エラー信号 $F2$ が「0」であるときは、否定エラー信号 $F2$ 、すなわちレベル「1」を受け取る。ANDゲート $20[1:m]$ の出力はORゲート $21[1:m]$ の第1の入力に結合されている。ORゲートの出力は、図1の負荷電流スイッチ 10_1 から 10_n に対する制御信号 $F4[1:n]$ を供給し、一方、ORゲート $21(m)$ は負荷電流スイッチ $10[m:n]$ に対する共通制御信号を供給する。エラー信号 $F1$ が「1」に切り換わると、対応するすべての制御信号 $F4[1:n]$ が同時に「1」に切り換わり、すなわち、すべての負荷電流スイッチ 10_1 から 10_n が同時に開く。これは、図1の制御論理6が信号UV、OV、ODC、またはOCCのうちの1つを生成する場合である。

【0021】

デジタル・スイッチング回路7は、端子 $F2$ を介して供給されるレベル「1」を有するエラー信号 $F2$ が入力 En に印加されたときに始動するクロック生成回路CLKをさらに備えている。クロック信号 clk は、いくつかの連続するD型フリップフロップ $DFF[1:n]$ のクロック入力に向けられ、D型フリップフロップの数は、制御される負荷電流スイッチ 10 および図1の短絡スイッチ・セグメント 12 の数に対応する。さらに、端子 $F2$ は、これらのフリップフロップのすべての入力 XR に並列に結合されている。第1のフリップフロップ $DFF(1)$ の入力 D は永久的に「1」に結合されている。第1のフリップフロップ Q に属する出力 Q は、出力 Q が後続の DFF の入力 D に結合されている $DFF(2)$ の入力 D に結合されており、以下同様である。レベル「1」を有するエラー信号 $F2$ が存在すると、その結果、クロック信号 clk のクロックに応じて $DFF[1:n]$ の出力 Q が順次「1」に切り換わり、したがって、短絡スイッチ・アレイの対応するスイッチ・セグメント $12[1:n]$ に対する制御信号 $F3[1:n]$ のシーケンスを供給し、それによってスイッチ・セグメント $12[1:n]$ が順次閉じる。

【0022】

D型フリップフロップ $DEF[1:(m-1)]$ にANDゲート $22[1:(m-1)]$ が関連付けされている。これらのANDゲートはそれぞれ、3つの入力を有している。すべての第1の入力は端子 $F2$ に結合されている。各ANDゲートの第2の入力は、同じ序数のD型フリップフロップの出力 Q に結合されている。すべての第3の入力は、共通インバータ 23 を介して $DFF(m)$ の出力 Q に結合されている。すべてのANDゲート $[1:(m-1)]$ の出力は、ORゲート $[1:(m-1)]$ の第2の入力に結合されている。しかし、ORゲート $21(m)$ の第2の入力は、インバータ 23 も結合されている $DFF(m)$ の出力 Q に結合されている。

【0023】

回路の作用は以下のとおりである。エラー信号 $F1$ のみが現れた場合、すなわち、端子 $F1$ にレベル「1」が存在する場合、前述のように、すべての制御信号 $F4[1:n]$ がレベル「1」を生成し、したがって、図1のすべての負荷電流スイッチ 10_1 から 10_n が開く。

【0024】

過電圧検出器OVDがレベル「1」を有するエラー信号 $F2$ を生成すると、すべてのANDゲート $20[1:m]$ が遮断され、したがって、すべての制御信号 $F4[1:n]$ が同時にレベル「0」を取り、それによって、すべての負荷電流スイッチ 10_1 から 10_n が

10

20

30

40

50

同時に閉じる。したがって、充電／放電端子 50、60 はバッテリー 1 を介して低抵抗短絡される。外部電圧源の過電圧が高く、内部抵抗が小さいときにのみ、すべてのヒューズ 11₁ から 11_n が溶融し、それによってバッテリー 1 が完全に切断される。他の場合には、エラー信号 F2 によってクロック生成回路 CLK が始動し、したがって、やはり前述のように、D 型フリップフロップ DFF [1:n] の出力 Q が制御信号 F3 [1:n] を連続的に生成する。同じクロック・サイクルにおいて、各 AND ゲート 22 (1) から 22 (m-1) ごとに論理 AND 条件が満たされ、したがって、制御信号 F4 [1:(m-1)] が「0」から「1」に切り換わる。これによって、対応する負荷電流スイッチが、同じ序数のスイッチ・セグメントが閉じるのと同時に開く。それに対応して、ヒューズ 11₁ から 11_{m-1} が連続的に溶融する。

【0025】

次のクロック・サイクルにおいて、D 型フリップフロップ DFF (m) の出力 Q が「1」に切り換わると、すべての AND ゲート 22 [1:(m-1)] がインバータ 23 によって遮断される。したがって、すべての制御信号 22 [1:(m-1)] がレベル「0」に移り、連続的に開いた負荷電流スイッチ 10₁ から 10_{m-1} がすべて同時に閉じ、かつすべての残りの負荷電流スイッチ 10_m から 10_n が同時に、OR ゲート 21 (m) を介して制御信号「1」を受信し、その後開く。したがって、最初はバッテリーを介し、次いですでに閉じている負荷電流スイッチおよびすでに閉じておりかつこの状態のままであるすべてのスイッチ・セグメントを介した低抵抗短絡経路が、最後のヒューズ 11_n が溶融するまで常に存在する。

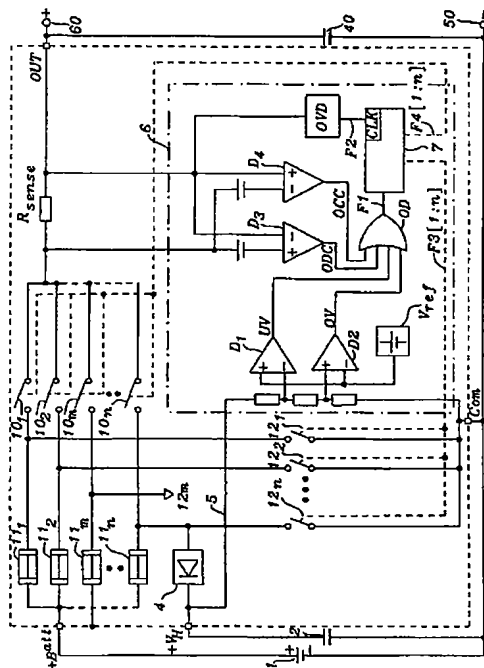
【図面の簡単な説明】

【図 1】ブロック図である。

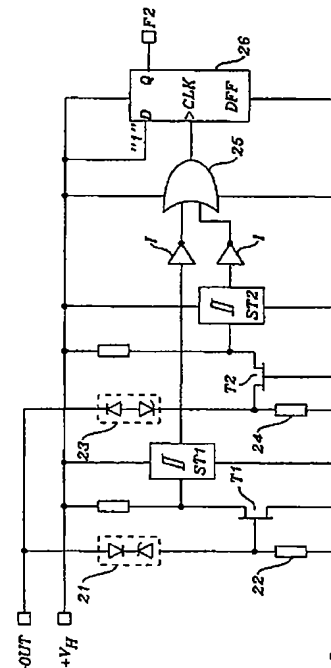
【図 2】図 1 の過電圧検出器の簡略化された回路図である。

【図 3】過電圧検出器の後にクロック生成回路を含むデジタル・スイッチング回路の回路図である。

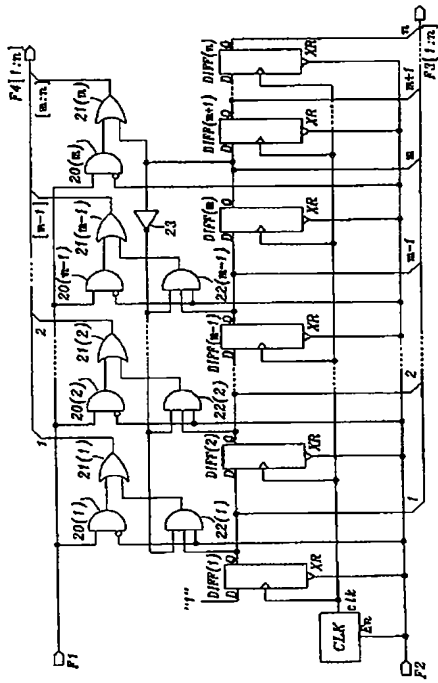
【図 1】



【図 2】



【図 3】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 アクセル・パンヴィッツ

ドイツ連邦共和国デー 7 3 2 5 2 レニンゲン, バートシュトラーク 5

F ターム(参考) 5G003 BA01 DA07 FA04 GC03

5G004 AA04 BA03 BA07 DC07

5G053 AA02 AA09 BA04 EC05

【外国語明細書】

1. Title of Invention

Charge/Discharge Protection Circuit

2. Claims

1. A charge/discharge protection circuit for a battery comprising at least one rechargeable cell (1), with a control logic (6), which opens or closes n parallel load current switches (10 [1:n]) depending on the magnitude of the voltage at the battery terminals (+ Batt, Com), the voltage at the charge/discharge terminals (50, 60) of the protection circuit, and the charge or discharge current, which control logic (6) comprises an over-voltage detector (OVD), and which disconnects, in the event of an over-voltage, the battery (1) from the charge/discharge terminals (50, 60) by means of sequentially controlled melting of integrated battery-side parallel connected fusible links (11 [1:n]), each of which is coupled in series with an associated load current switch (10 [1:n]), and coupled via an associated controllable switch segment (12 [1:n]) of a

short-circuit switch array to the oppositely poled battery connection (Com), thus characterized, that the control circuit (6), in an over-voltage event, simultaneously closes all load current switches (10 [1:n]), then following, sequentially opens a first number (10 [1:(m-1)]) of load current switches, and at the same time closes the switch segment (12 [1:(m-1)]) of the short-circuit switch array associated with the respective load current switch, so that the associated fusible links (11 [1:(m-1)]) melt sequentially, after the opening of this first number (10 [1:(m-1)]) of load current switches the latter closes again and at the same time the remaining number (10 [m:n]) of still closed load current switches opens, as well as continues to sequentially close the remaining switch segments (12 [n:m]), so that until the complete disconnect of the battery there exists at all times a low-resistance path between the charge/discharge terminals (50, 60) of the protection circuit to protect the latter from the over-voltage.

2. Protection circuit according to claim 1, thus characterized that at least those circuit components of the control logic (6) which generate the control signals (F3) for the switch segments (12) receive their supply voltage ($+V_H$) from an auxiliary voltage source, in particular from a charged buffer capacitor (2).
3. Protection circuit according to claim 2, thus characterized that the auxiliary voltage source comprises a buffer capacitor (2), which is charged via a semiconductor switch (4) to the battery voltage, whereby the semiconductor switch (4) opens when the battery voltage falls below a predetermined value or when the over-voltage detector (OVD) produces a control signal in an over-voltage event.
4. Protection circuit according to claim 2, thus characterized that the auxiliary voltage source is a buffer capacitor (2), which is charged via

a charge pump to the maximally allowable operation voltage of the control logic (6).

5. Protection circuit according to one of the claims 1 to 4, thus characterized that the over-voltage detector (OVD) receives as input voltage the voltage at the charge/discharge terminals (50, 60).
6. Protection circuit according to one of the claims 1 to 5, thus characterized that the over-voltage detector (OVD) comprises a bistable flip-flop circuit (26), which flips into its second stable state in an over-voltage event.
7. Protection circuit according to one of the claims 1 to 6, thus characterized that the over-voltage detector (OVD) is followed by a digital switching circuit (7) with a clock generator (CLK), that the over-voltage detector (OVD), in an over-voltage event, generates a signal (F2) enabling the clock generator (CLK), and that the digital switching circuit comprises a number of

successive D flip-flops (DFF [1:n]) corresponding to the number of switches (10; 12) to be controlled, which D flip-flops (DFF [1:n]) are flipped sequentially into their second stable state via the clock signal, and whose outputs (Q) then deliver serially, on one hand the control signals (F3 [1:n]) for the switch segments (12 [1:n]) of the short-circuit switch array, and on the other hand via logic network elements (20 to 23) the control signals (F4 [1:n]) for the load current switches (10 [1:n]).

8. Protection circuit according to one of the claims 1 to 7, thus characterized that, with the exception of capacitors, all circuit components are integrated on one chip.

3. Detailed Description of Invention

The invention relates to a charge/discharge protection circuit for a rechargeable battery comprising at least one rechargeable cell, with a control logic which opens or closes n parallel load current switches depending on the magnitude of the voltage at the battery terminals, the voltage at the charge/discharge terminals of the protection circuit, and the charge or discharge current.

Where that control logic comprises an over-voltage detector which in case of an over-voltage disconnects the battery from the charge/discharge terminals through sequentially controlled melting of integrated, battery-side parallel coupled fusible links. Each of which can be coupled to the oppositely poled battery connection via an in series connected associated load current switch and

an associated, controllable switch segment of a short-circuit switch array.

Such a circuit is deemed known from the this-side DE-A-101 37 875.0, which is expressly referenced herewith. In particular, this circuit can be disposed between a single lithium-ion cell and the electronics of a mobile phone. It protects the battery, respectively the cell from a dangerous overcharge and can be produced with a significantly lower electric strength than is required in a worst-case scenario, and, therefore, at a favorable cost. In the case of an over-voltage, the fusible links will be destroyed individually one after another. The battery is thereby disconnected permanently from the over-voltage. The destruction of the protection circuit is knowingly accepted. To insure that the protection circuit is not already destroyed by the over-voltage before the last fuse has melted, the protection circuit comprises, parallel to the charge/discharge terminals, a semiconductor switch is immediately switched into its conductive state by the over-

voltage detector in case of an over-voltage, so that the over-voltage collapses due to the short-circuit. Because the semiconductor switch for that reason must have a high current carrying capacity, it requires a comparatively large area of real estate on the chip and therefore increases its cost.

The task of the invention is to create a protection circuit of the above mentioned type which, while providing the same protection, can be fitted onto an area-wise smaller and therefore more economical chip.

This task is inventively solved in that the control circuit, in an over-voltage event, simultaneously closes all load current switches, then following, sequentially opens a first number of load current switches, and at the same time closes the switch segment of the short-circuit switch array associated with the respective load current switch, so that the associated fusible links melt sequentially. After the opening of this first number of load current switches the latter closes

again and at the same time the remaining number of still closed load current switches opens, as well as continues to sequentially close the remaining switch segments, so that until the complete disconnect of the battery there exists at all times a low-resistance path between the charge/discharge terminals of the protection circuit to protect the latter from the over-voltage.

This low-resistance path, therefore, initially traces via all closed load current switches and the battery, later via the again closed first number of load current switches and the already closed short-circuit switches. The initial current flow through the battery causes no dangerous overload (nor discharge) yet, because the disconnect process is completed within milliseconds (maximally within one second).

The central idea of the invention therefore consists in reducing a recognized over-voltage via low-resistance current paths by utilizing the already existing in-parallel deployed load current

switches. This ensures that the protection circuit stays functional until the final disconnect of the battery when the last fuse is destroyed. In contrast to the circuit of the starting point, in the event of an over-voltage all load current switches will therefore be closed initially, and during the following, sequential melting of the fuses a sufficient number of the load current switches will always be kept closed, so that the over-voltage will have a low-resistance short-circuit initially via the battery, and further on via the already closed switch segments of the short-circuit switch array.

Appropriately, at least those circuit components of the control logic generating the control signals for the switch segments receive their supply voltage from an auxiliary voltage source, in particular from a charged buffer capacitor (claim 2). Thereby the function of the protection circuit is safeguarded even when the external over-voltage collapses due to the generated low-resistance short-circuit path, or conversely, when it is so

high that it has led to a destruction of other parts of the control logic intended for the normal function of the protection circuit.

A further development of this embodiment consists of charging the buffer capacitor, which forms the auxiliary voltage source, to the battery voltage via a semiconductor. In doing so the semiconductor opens when the battery voltage falls below a predetermined value or when the over-voltage detector generates a control signal in the case of an over-voltage (claim 3).

Alternatively, the auxiliary voltage source may comprise a buffer capacitor which is charged up via a charge pump to the maximally allowable operating voltage of the control logic (claim 4).

Appropriately, the over-voltage detector receives as input voltage the voltage at the charge/discharge terminals (claim 5). This avoids the disadvantage of a proposal according to the state of the technology, whereby an external over-

voltage is only then recognized as such when it has also caused an over-voltage at the battery via the corresponding battery charge current.

The over-voltage detector may in particular comprise a bistable flip-flop circuit, which switches to its second stable state in the event of an over-voltage (claim 6), so that even an only briefly applied over-voltage triggers the sequence of control signals which produces the low-resistance short circuit.

In a preferred embodiment, the over-voltage detector is followed by a clock generator and a digital switching circuit, whereby the over-voltage detector, in an over-voltage event, generates a signal enabling the clock generator. And whereby the digital switching circuit comprises a number of successive D flip-flops which correspond to the number of switches to be controlled. Whereby, via the clock signal, the D flip-flops are flipped sequentially into their second stable state. And whose outputs then deliver serially, on one hand

the control signals for the switch segments of the short-circuit switch array, and on the other hand via logic network elements the control signals for the load current switches (claim 7). How a logic network circuit satisfying such a function is to be realized is known to those skilled in the art.

Preferably, with the exception of capacitors, all circuit components are integrated on one chip (claim 8).

An embodiment of a protection circuit according to the present invention is shown schematically simplified in the drawing.

The protection circuit illustrated in Fig. 1 is located as an integrated circuit between the terminals of a Li-Ion cell 1 and two charge/discharge terminals 50 and 60, paralleled to which is a filter-capacitor 40 as protection against steeply sloped voltage increases. The protection circuit has the external connections Com, +Batt and Out as well as $+V_R$. The latter is connected via a buffer capacitor 2 with the reference potential Com. Buffer capacitor 2 is normally charged to the battery voltage via semiconductor switch 4 (indicated as a diode). If this supply voltage drops away then semiconductor switch 4 opens and the buffer capacitor 2 supplies, via line 5, power for a time for essential parts of the integrated circuit. A charge pump circuit may also be provided in place of semiconductor switch 4, where the charge pump circuit charges the buffer capacitor 2 to the intended maximum gate voltage as dictated by the technology of the integrated circuit.

A current sensing resistor R_{sense} is placed between Out and +Batt in series with a circuit arrangement, which comprises a plurality of parallel coupled series circuits, in turn each comprising a load current switch $10_1, 10_2, \dots, 10_n$ and an integrated fusible link $11_1, 11_2, \dots, 11_n$. Each connection node between a load current switch 10_x and a fusible link 11_x is connected to the reference potential Com via its own short-circuit switch $12_1, 12_2, \dots, 12_n$. The entire group of these short-circuit switches will be referred to from here on as short-circuit switch array, and the individual switches as switch segments.

A control logic, pictured in simplified form within dash-dotted block 6, generates by generally known means through differential amplifiers D1 and D2 a battery under-voltage signal UV and a battery over-voltage signal OV, provided the voltage of the Li-Ion cell 1 is outside of the predetermined tolerance range. The control logic further generates from the voltage drop across R_{sense} by means of differential amplifiers D3 and D4 the

output signals OCD, OCC, respectively, when reaching the maximum charge current or the maximum discharge current, respectively. Output signals UV, OV, OCC and OCD of differential amplifiers D1 to D4 are coupled into OR-gate OD which supplies in each of the mentioned instances an error signal F1 to a digital switching circuit 7, which will be explained in more detail by reference to Fig. 3.

The potential at terminal Out not only is present at the corresponding inputs of D3 and D4, but also at the input of an over-voltage detector OVD, which in the event of an over-voltage generates an error signal F2, which is also supplied to digital switching circuit 7.

An embodiment of the over-voltage detector OVD is illustrated in Fig. 2. The designations of the external connections correspond to those of Figure 1. Placed between Out and Com is the series circuit comprising a first trigger element 21 and a resistor 22 as well as a second trigger element 23 and a second resistor 24. Trigger elements 21, 23

are illustrated only symbolically as the series connection of a zener diode and a back current diode, wired back-to-back. When exceeding the predetermined voltage limit in the positive or negative direction the corresponding trigger element becomes conductive and with it the respective, following MOS transistor T1 or T2, which in turn sets to "0" or "L" the following Schmitt-Triggers ST1, ST2, respectively. The outputs of the Schmitt-Triggers are coupled via Inverter I with the inputs of a NAND-gate 25, whose output in turn is connected with the clock input of a D flip-flop 26. Its D-input is normally at "1" or "H". The output Q of flip-flop 26, therefore, goes to "H" when at the clock input an impulse arrives from OR-gate 25. The over-voltage detector behaves, therefore, like a bistable flip-flop. The output level "1" or "H" represents the error signal F2 at the terminal of the same name.

Figure 3 is an embodiment of the digital switching circuit 7 in Fig. 1, which generates from error signals F1 and F2 sequential control signals F3

[1:n] for the switch segments 12_1 to 12_n of the short-circuit switch array in Fig. 1, and control signals F4 [1:n] for the load current switches 10_1 to 10_n in Fig. 1. The latter are in this example realized in PMOS technology, and open therefore when their control signal is at level "1", and close to the conductive state when their control signal is at level "0".

The connection F1, by which error signal F1 is supplied, is coupled to the first inputs of AND gates 20(1) to 20(m). Whose second inputs receive the negated error signal F2, i.e., the level "1", as long as OVD does not detect an over-voltage and when therefore the error signal F2 is at "0". The outputs of AND gates 20 [1:m] are coupled to the first inputs of OR gates 21 [1:m]. Whose outputs supply the control signals F4 [1:n] for load current switches 10_1 to 10_n in Fig. 1, whereby OR gate 21(m) supplies a common control signal for load current switches $10_{[m:n]}$. When error signal F1 switches to "1", then correspondingly all control signals F4 [1:n] switch simultaneously to

"1", i.e., all load current switches 10_1 to 10_n open simultaneously. This is the case, e.g., when control logic 6 in Fig. 1 generates one of the signals UV, OV, ODC or OCC.

The digital switching circuit 7 further comprises a clock generator CLK which starts when there is applied at its input En the error signal F2 with the level "1", which is supplied via terminal F2. The clock signal clk is directed to the clock inputs of a number of successive D flip-flops DFF [1:n], where the number of D flip-flops corresponds to the number of to be controlled load current switches 10 and of short-circuit switch segments 12 in Fig. 1. The terminal F2 is, moreover, coupled in parallel to all inputs XR of these flip-flops. The input D of the first flip-flop DFF(1) is tied permanently to "1". The output Q belonging to it is coupled to input D of DFF(2), whose output Q is coupled to the input D of the following DFF, and so on. When error signal F2 with level "1" is present, then as a consequence outputs Q of DFFs [1:n] switch to "1" sequentially clocked by the clock

signal clk and, therefore, supply the sequence of control signals F3 [1:n] for the corresponding switch segments 12 [1:n] of the short-circuit switch array, which thereby close sequentially.

Associated with D flip-flops DFF [1:(m-1)] are AND gates 22 [1:(m-1)]. Each of these AND gates has three inputs. All first inputs are coupled to terminal F2. The second input of each AND gate is coupled to the output Q of D flip-flop of same ordinal number. All third inputs are coupled via a common inverter 23 to the output Q of DFF(m). The outputs of all AND gates [1:(m-1)] are coupled to the second inputs of OR gates [1:(m-1)]. However, the second input of OR gate 21(m) is coupled to the output Q of DFF(m), to which is also coupled the inverter 23.

The action of the circuit is as follows: If only error signal F1 appears, i.e., the level "1" is present at terminal F1, then, as already mentioned, all control signals F4 [1:n] generate the level "1",

so that all load current switches 10_1 to 10_n in Fig. 1 open.

When the over-voltage detector OVD generates the error signal F2 with level "1", all AND gates 20 [1:m] block, so that all control signals F4 [1:n] take level "0" at the same time, whereby all load current switches 10_1 to 10_n are closed at the same time. Thus, charge/discharge terminals 50, 60 are low-resistance short-circuited via battery 1. Only when there is a high over-voltage and a low internal resistance of the external voltage source will all fuses 11_1 to 11_n already melt now, and thereby totally disconnect battery 1. Otherwise, the error signal F2 will start the clock generator CLK, so that the outputs Q of the D flip-flops DFF [1:n] successively generate the control signals F3 [1:n], as also already mentioned. In the same clock cycle the logic AND condition for each AND gate 22(1) to 22(m-1) is satisfied, so that control signals F4 [1:(m-1)] switch from "0" to "1". Whereby the corresponding load current switches open at the same point in time at which the switch

segments of the same ordinal number close.

Correspondingly, fuses 11_1 to 11_{n-1} melt successively.

When in the next clock cycle the output Q of D flip-flop DFF(m) switches to "1", then all AND gates 22 [1:(m-1)] will be blocked by inverter 23. Thus all control signals F4 [1:(m-1)] move to level "0", so that the successively opened load current switches 10_1 to 10_{n-1} all close simultaneously, and all remaining load current switches 10_n to 10_n concurrently receive via OR gate 21(m) the control signal "1", whereupon they open. Thus there exists at all times until the last fuse 11_n is melted a low-resistance short-circuit path, initially via the battery then via the already closed load current switches and all switch segments which are already closed and which remain in this state.

4. Brief Description of Drawings

- Fig. 1 a block diagram,
- Fig. 2 a simplified circuit diagram of the
 over-voltage detector in Fig. 1 and
- Fig. 3 a circuit diagram of the digital
 switching circuit, including the clock
 generator, following the over-voltage
 detector.

1. Abstract

A charge/discharge protection circuit with n parallel load current switches and a control logic for the latter, which in an over-voltage event disconnects the battery from the charge/discharge terminals through sequentially controlled melting of integrated fusible links, can be placed on a smaller and therefore more economical chip, if the control logic (6) in an over-voltage event, simultaneously closes all load current switches (10 [1:n]), then following sequentially opens a first number of the load current switches, and at the same time closes the switch segment (12 [1:(m-1)]) of a short-circuit switch array associated with the respective load current switch, so that the former associated fusible links (11 [1:(m-1)]) melt sequentially; after the opening of this first number of load current switches the latter closes again and at the same time the remaining number (10 [m:n]) of still closed load current switches opens, as well as continues to sequentially close the remaining switch segments (12 [n:m]). In this manner, there exists, until the complete disconnect of the battery, a low-resistance path between the charge/discharge terminals (50, 60) of the protection circuit so that the latter is protected from the over-voltage.

2. Representative Drawing

Fig. 1

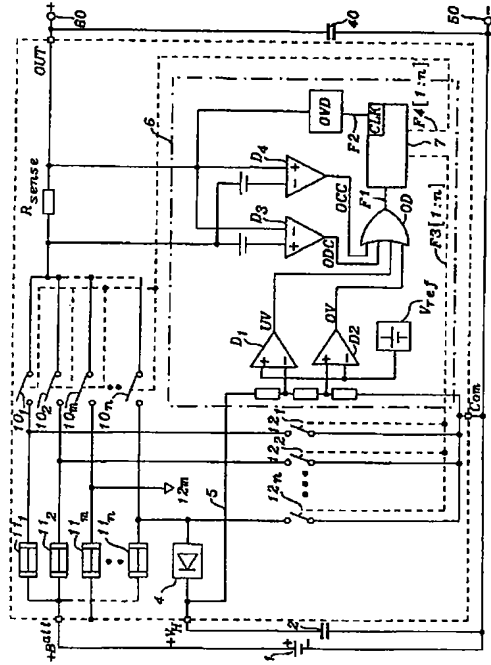


FIG. 1

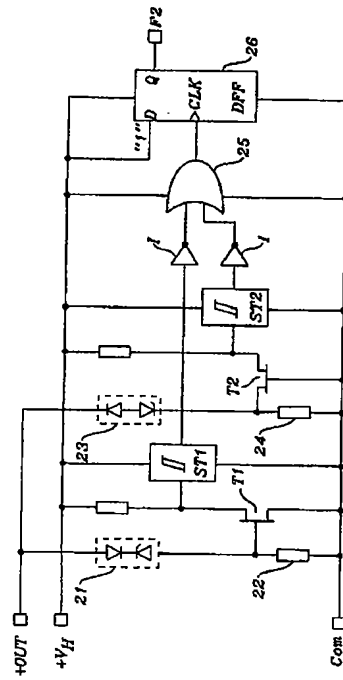


FIG. 2

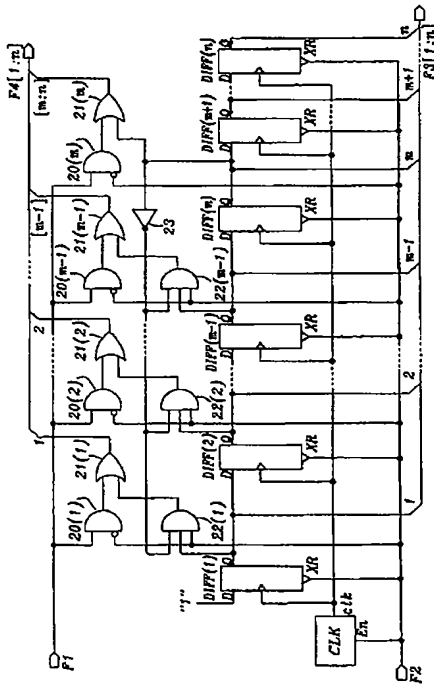


FIG. 3